

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-289291

(43)Date of publication of application : 04.11.1997

(51)Int.Cl.

H01L 27/10
G11C 11/24
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 08-122672

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 19.04.1996

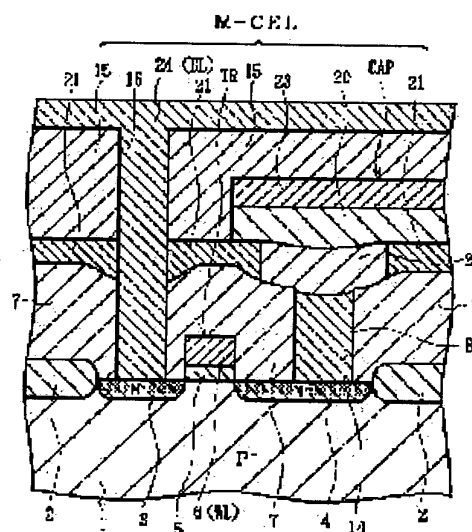
(72)Inventor : NUMATA KEN
AOKI KATSUHIRO
FUKUDA YUKIO
NISHIMURA AKITOSHI

(54) DIELECTRIC CAPACITOR AND MANUFACTURE THEREOF AND DIELECTRIC MEMORY AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a dielectric capacitor and a dielectric memory by which the number of manufacturing processes for the capacitor can be lessened and a storage capacity of the capacitor can be increased due to the increase in an electrode area and leakage current can be suppressed.

SOLUTION: In this ferroelectric capacitor, a PZT ferroelectric film 20 and a platinum electrode 23, which are formed in nearly the same pattern, are stacked on a platinum electrode 29 and a titanium oxide film 21 which is so formed around the platinum electrode 29 as to be brought into contact with the platinum electrode 29. As for a method for manufacturing this ferroelectric capacitor, a ferroelectric film material layer 20 and an electric material layer 23A are stacked in this order on the surfaces of an electrode 29 and a titanium oxide film 21 and then the electrode material layer and the ferroelectric material layer are formed in nearly the same pattern to form the electrode 23 and the PZT ferroelectric film 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-289291

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
G 1 1 C 11/24			G 1 1 C 11/24	
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			29/78	3 7 1
21/8247				

審査請求 未請求 請求項の数14 F D (全 14 頁) 最終頁に続く

(21) 出願番号 特願平8-122672

(22) 出願日 平成8年(1996)4月19日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72) 発明者 沼田 乾

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 青木 克裕

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(74) 代理人 弁理士 佐々木 聖孝

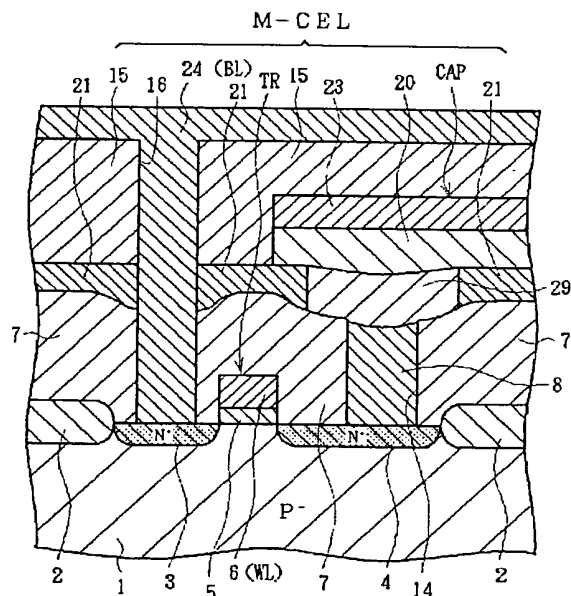
最終頁に続く

(54) 【発明の名称】 誘電体キャパシタ及び誘電体メモリ装置と、これらの製造方法

(57) 【要約】

【課題】 キャパシタの作製時の工程数を減らすと共に、電極面積の増大による蓄積容量の向上、リーク電流の抑制を実現できる誘電体キャパシタ及び誘電体メモリ装置と、これらの製造方法を提供すること。

【解決手段】 白金電極29の周囲に接して設けられた酸化チタン膜21を介してこの上に、P Z T 強誘電体膜20と白金電極23とがほぼ同一パターンに積層されている強誘電体キャパシタ。この強誘電体キャパシタを製造する方法として、電極29の表面及び酸化チタン膜21の表面に強誘電体膜材料層20と電極材料層23Aとをこの順に積層し、これらの電極材料層と強誘電体材料層とをほぼ同一パターンに加工して電極23とP Z T 強誘電体膜20とを形成する。



【特許請求の範囲】

【請求項1】 第1の電極と、この第1の電極上の誘電体膜と、この誘電体膜上の第2の電極とを有し、前記第1の電極の周囲に接して設けられた絶縁膜を介してこの上に、前記誘電体膜と前記第2の電極とがほぼ同一パターンに積層されている誘電体キャパシタ。

【請求項2】 第1の電極が、これとほぼ同一面をなす周囲の絶縁膜内に埋設されている、請求項1に記載した誘電体キャパシタ。

【請求項3】 誘電体膜と第2の電極とが同一パターンにエッチングされている、請求項1に記載した誘電体キャパシタ。

【請求項4】 誘電体膜がゾルーゲル法又はスパッタ法によって形成されている、請求項1～3のいずれか1項に記載した誘電体キャパシタ。

【請求項5】 誘電体膜がジルコン酸チタン酸鉛からなり、絶縁膜が酸化チタンからなる、請求項1又は2に記載した誘電体キャパシタ。

【請求項6】 請求項1～5のいずれか1項に記載した誘電体キャパシタをメモリセルに有する誘電体メモリ装置。

【請求項7】 第1の電極と、この第1の電極上の誘電体膜と、この誘電体膜上の第2の電極とを有し、前記第1の電極の周囲に接して設けられた絶縁膜を介してこの上に、前記誘電体膜と前記第2の電極とがほぼ同一パターンに積層されている誘電体キャパシタを製造するに際し、

前記第1の電極を形成する工程と、

この第1の電極の周囲に前記絶縁膜を形成する工程と、
前記第1の電極の表面及び前記絶縁膜の表面に誘電体膜材料層と電極材料層とをこの順に積層する工程と、
これらの電極材料層と誘電体材料層とをほぼ同一パターンに加工して前記第2の電極と前記誘電体膜とを形成する工程とを有する、誘電体キャパシタの製造方法。

【請求項8】 第1の電極を、これとほぼ同一面をなす周囲の絶縁膜内に埋設する、請求項7に記載した製造方法。

【請求項9】 誘電体膜と第2の電極とを同一パターンにエッチングする、請求項7に記載した製造方法。

【請求項10】 誘電体膜をゾルーゲル法又はスパッタ法によって形成する、請求項7～9のいずれか1項に記載した製造方法。

【請求項11】 誘電体膜をジルコン酸チタン酸鉛によって形成し、絶縁膜を酸化チタンによって形成する、請求項7又は8に記載した製造方法。

【請求項12】 第1の電極の形成後にこの第1の電極を覆う如くに絶縁膜を被着し、前記第1の電極の表面が露出するまで前記絶縁膜を除去し、この絶縁膜の表面及び前記第1の電極の露出面上に誘電体膜材料層及び電極材料層をこの順に積層する、請求項7に記載した製造方

法。

【請求項13】 第1の電極の表面が露出するまで絶縁膜を研磨若しくはエッチングする、請求項12に記載した製造方法。

【請求項14】 請求項7～13のいずれか1項に記載した製造方法によって、メモリセルに誘電体キャパシタを作製する、誘電体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体キャパシタ（特に、ジルコン酸チタン酸鉛（PZT）膜を有する強誘電体キャパシタ）及び誘電体メモリ装置（特にPZT膜を有する強誘電体キャパシタを用いた不揮発性半導体メモリ）と、これらの製造方法に関するものである。

【0002】

【従来の技術】強誘電体物質であるPZTを誘電体膜として用いてキャパシタを形成することにより、その残留分極特性を用いた簡単な構造の不揮発性記憶素子、即ち、FRAMと称される不揮発性メモリである強誘電体RAM（Ferroelectric Random Access Memory）を作製することができる。

【0003】このようなFRAMは、既に一部実用化されており、そのPZTキャパシタ及びこれを組み込んだ強誘電体メモリセルは図20に示す如くに構成されている。ここでは、CUB（Cell under Bitline）タイプについて示す。

【0004】図20に示す従来のPZTキャパシタCapにおいては、スタック型のセルキャパシタとして、一般には、下部電極9としてTiN/Ti層（図示せず）を介してPt層を積層したPt/TiN/Ti構造が用いられており、その上にゾルーゲル法、スパッタリング法又はCVD（Chemical Vapor Deposition）法によってPZT薄膜10がほぼ同一パターンに形成され、更に、上部電極13としてPtが用いられている。

【0005】この場合、PZT薄膜10の上のチタン酸化膜11及びシリコン酸化膜12に形成されたスルーホール18を介して上部電極13が被着されている。

【0006】なお、キャパシタCapを構成する強誘電体膜10は、原料溶液を用いてゾルーゲル法で形成したPZT、即ち $Pb(Zr, Ti)O_3$ 膜からなっている。また、下部電極9は、 SiO_2 等の絶縁膜7のコンタクトホール14に埋め込まれたストレージノードとしてのポリシリコン層（プラグ）8を介してシリコン基板側に接続されている。

【0007】このPZTキャパシタCapを有するFRAMのメモリセルを説明すると、例えばP⁺型シリコン基板1の一主面には、フィールド酸化膜2で区画された素子領域が形成され、ここに、MOSTランジスタからなるトランスファゲートTRとキャパシタCapとからなるメモリセルM-cellが設けられている。

【0008】トランスファゲートTRにおいては、例えばN⁺型ドレイン領域3とN⁺型ソース領域4が不純物拡散でそれぞれ形成され、これら両領域間にはゲート酸化膜5を介してワードライン6(WL)が設けられ、ドレイン領域3にはSiO₂等の絶縁層7、11、12、15のコンタクトホール16を介してビットライン24(BL)が接続されている。

【0009】他方、図21に示す如きPZTキャパシタCap'及びこれを組み込んだ強誘電体メモリセルM-cell'も従来から知られている。

【0010】このPZTキャパシタCap'では、下部電極9はその表面のみならず、側面をもPZT薄膜10、更には上部電極13によって被覆されているので、PZT薄膜10の側面での電流リークは生じ難い。なお、図20に示した如きチタン酸化膜11及びシリコン酸化膜12は形成されていない。

【0011】ここで、図20に示したキャパシタCap及びメモリセルM-cellの作製プロセスを図22～図31について説明する。

【0012】まず、図22のように、P⁻型シリコン基板(ウエハ)1上に選択酸化法によりフィールド酸化膜2を形成し、熱酸化法によるゲート酸化膜5及び化学的気相成長法によるポリシリコンワードライン6(WL)をそれぞれ形成し、これらをパターニングした後、更にAs等のN型不純物の熱拡散でN⁺型ドレイン領域3及びソース領域4をそれぞれ形成する。

【0013】そして、全面に化学的気相成長法で堆積させたSiO₂絶縁層7に対し、ソース領域4上にフォトリソグラフィでコンタクトホール14を形成する。

【0014】次いで、図23のように、コンタクトホール14においてソース領域4に接触するようにポリシリコン層8を被着する。

【0015】次いで、図24のように、ストレージノードとしてのポリシリコン層8(場合によっては更にSiO₂層7)を化学機械的研磨加工(CMP)によって研磨処理し、表面を平坦化する。

【0016】次いで、この平坦化した表面上に、図25のように、Ti接着剤層及びTiNバリア層からなるバリアメタルとPt層からなる下部電極材料層9Aを形成する。

【0017】次いで、図26のように、下部電極材料層9A上の全面にスピンコート法又はディップコート法によって、PZT薄膜形成用のゾルーゲル原料溶液10Aを塗布する。

【0018】次いで、原料溶液10Aを塗布したウエハを所定の温度(100～300℃、例えば170℃)で例えば3分間加熱し、塗布した溶液の乾燥を行い、乾燥ゲル膜を形成し、更に480℃で処理して、原料溶液10Aを非晶質化する。そして、600℃以上の温度で例えば10分間焼結(酸化焼結)し、ペロブスカイト結晶のPZT強誘電体

膜10を全面に形成する。

【0019】次いで、図27のように、PZT薄膜10と下部電極材料層9Aとを一体に略同一パターンにドライエッチし、下部電極9とPZT薄膜10との積層膜を形成する。

【0020】次いで、図28のように、CVDによって全面にチタン酸化膜11及びシリコン酸化膜12を順次積層する。チタン酸化膜11は、PZTの構成元素を成分としていてSiO₂膜とは反応しないものである。

【0021】次いで、図29のように、PZT薄膜10が露出するように各膜12及び11を貫通するスルーホール18を選択的に形成する。

【0022】次いで、図30のように、スパッタリング法によってスルーホール18を含む全面に上部電極材料層13Aを被着する。

【0023】次いで、図31のように、上部電極材料層13Aをエッチングし、上部電極13にパターニングする。

【0024】更に、図20で示した層間絶縁膜15、コンタクトホール16、ビットライン24(BL)をそれぞれ形成し、図20に示した如きメモリセルM-cellを作製する。

【0025】上記したプロセスとこのプロセスで作製したキャパシタcap及びメモリセルM-cellによれば、図25～図27に示したように、下部電極材料9Aをデポジション後、パターニングやエッチングを経ることなしに強誘電体膜10をゾルーゲル法によって直接形成し、更に、下部電極材料9Aと強誘電体膜10とを一体でパターニングしていることが大きな特徴である。

【0026】即ち、ゾルーゲル法では、ゾルーゲル溶液をスピン塗布して形成したアモルファスの膜10Aをアニーリングによって結晶化する際、例えば強誘電体膜10としてPZTを用いた場合に、下部電極9として最も頻繁に使われる白金上では結晶化が十分に進むが、シリコン酸化膜7上ではPZT中のPbがSiO₂により酸化(SiO₂化)するため、PZTは十分に結晶化しない。

【0027】図32に示すX線回折(XRD)スペクトルにおいて、シリコン酸化膜上でPZTの結晶化を試みても結晶質が全く生成していない事実から明らかである。また、シリコン酸化膜にPZTが接していると、シリコン酸化膜7と白金9との間でのPZTの膜剥がれも生ずる。

【0028】そこで、これを防止する目的で、図25～図27のように、シリコン酸化膜7とPZT10との接触を避けるために白金9のデポジション後に白金9を加工することなしにPZT10をゾルーゲル法によって形成し、その後PZT10と白金9とを一体にパターニング・エッチングしている。従って、キャパシタ構造としては、図21のようにPZT薄膜10がシリコン酸化膜7に接するものよりは、図20のようにPZT薄膜10がシリコン酸化膜

7とは接していない方がよい。

【0029】しかしながら、図22～図31に示したプロセスとこのプロセスで得られたキャパシタCap及びメモリセルM-cellは、次のような問題点を有している。

【0030】まず、第1に、キャパシタの作製についてパターンニングの工程が3回(図27、図29、図31)もある。工程にかかる時間と費用を短縮するという観点からは、パターンニングの工程は少ないことが望ましいが、工程数が多い。

【0031】第2に、キャパシタとして働く強誘電体10の面積が上部電極13の面積(コンタクト面積)で決まっています。スルーホール18を介してコンタクトをとっているために、下部電極9の面積よりも小さくなっている。キャパシタに蓄えられる電気量は大きければ大きいほど、メモリの保持、読み出しの特性に優れているので、キャパシタとして働く強誘電体の面積は大きい方がよいが、これを充たしていない。

【0032】第3に、強誘電体膜10の側壁を通じての上下電極13-9間の漏れ電流が懸念される。これは、図27に示したように強誘電体膜10と下部電極9を同一パターンにエッチングしているため、強誘電体膜10の側面を通じて両電極13-9間で電流がリークし易いからである。

【0033】仮に、下部電極9と強誘電体膜10をそれぞれデポジションした後別々にパターンニング・エッチングを行えば、下部電極9を強誘電体膜10で十分に覆うことができるから、上記した電流リークの問題は生じ難い(図21参照)。しかし、上述したように、PZTの結晶化のためには、下部電極9と強誘電体膜10とは図27のように一体で同一形状にパターンニング(エッチング)する必要があり、両者別々にパターンニング(エッチング)することはできない。

【0034】

【発明が解決しようとする課題】本発明の目的は、キャパシタの作製時の工程数を減らすと共に、電極面積の増大による蓄積容量の向上、リーク電流の抑制を実現できる強誘電体キャパシタ及び誘電体メモリ装置と、これらの製造方法を提供することにある。

【0035】

【課題を解決するための手段】即ち、本発明は、第1の電極(例えば後述の白金電極29:以下、同様)と、この第1の電極上の誘電体膜(特に後述のPZT薄膜20:以下、同様)と、この誘電体膜上の第2の電極(例えば後述の白金電極23:以下、同様)とを有し、前記第1の電極の周囲に接して設けられた絶縁膜(例えば後述の酸化チタン膜21:以下、同様)を介してこの上に、前記誘電体膜と前記第2の電極とがほぼ同一パターンに積層されている誘電体キャパシタに係るものである。

【0036】本発明はまた、上記又は下記の誘電体キャパシタをメモリセルに有する誘電体メモリ装置に係るものである。

【0037】本発明はまた、第1の電極と、この第1の電極上の誘電体膜と、この誘電体膜上の第2の電極とを有し、前記第1の電極の周囲に接して設けられた絶縁膜を介してこの上に、前記誘電体膜と前記第2の電極とがほぼ同一パターンに積層されている誘電体キャパシタを製造するに際し、前記第1の電極を形成する工程と、この第1の電極の周囲に前記絶縁膜を形成する工程と、前記第1の電極の表面及び前記絶縁膜の表面に誘電体膜材料層と電極材料層とをこの順に積層する工程と、これらの電極材料層と誘電体材料層とをほぼ同一パターンに加工して前記第2の電極と前記誘電体膜とを形成する工程とを有する、誘電体キャパシタの製造方法を提供するものである。

【0038】本発明は更に、上記又は下記の製造方法によって、メモリセルに誘電体キャパシタを作製する、誘電体メモリ装置の製造方法も提供するのである。

【0039】

【発明の実施の形態】本発明による誘電体キャパシタ及び誘電体メモリ装置と、これらの製造方法においては、前記第1の電極を、これとほぼ同一面をなす周囲の前記絶縁膜内に埋設することが望ましい。

【0040】また、前記誘電体膜と前記第2の電極とを同一パターンにエッチングするのがよい。

【0041】また、前記誘電体膜をゾルーゲル法又はスパッタ法によって形成してよい。

【0042】そして、前記誘電体膜をジルコン酸チタン酸鉛によって形成し、前記絶縁膜を酸化チタンによって形成するのが望ましい。

【0043】本発明による誘電体キャパシタの製造方法及び誘電体メモリ装置の製造方法においては、前記第1の電極の形成後にこの第1の電極を覆う如くに前記絶縁膜を被着し、前記第1の電極の表面が露出するまで前記絶縁膜を除去し、この絶縁膜の表面及び前記第1の電極の露出面上に前記誘電体膜材料層及び電極材料層をこの順に積層するのがよく、この場合、前記第1の電極の表面が露出するまで前記絶縁膜を研磨若しくはエッチングすることができる。

【0044】

【実施例】以下、本発明を実施例について説明する。

【0045】まず、図1及び図2について、本発明の第1の実施例によるPZT強誘電体キャパシタCAPと、これを組み込んだ半導体デバイス(例えば、不揮発性記憶素子であるFRAM)のメモリセルM-CELL(但し、CUBタイプ)を説明する。

【0046】本実施例のPZTキャパシタCAPは、スタック型のセルキャパシタとして、下部電極としての白金(Pt)層29と、その上にゾルーゲル法、スパッタリング法又はCVD(Chemical Vapor Deposition)法によって形成されたペロブスカイト結晶のPZT薄膜20と、更にこの上に上部電極として設けられた白金(Pt)層

23とによって構成されている。

【0047】ここで、PZT薄膜20と上部電極23とは一体にほぼ同一パターンにエッチング加工されていること、及びPZT薄膜20は SiO_2 絶縁層7とは接しないように、下部電極8が周囲のチタン酸化膜21内に埋め込まれ、このチタン酸化膜21上にPZT薄膜20が形成されていることが重要である。

【0048】なお、下部電極29の下層にはTiN/Ti、 RuO_2 等の層からなるバリアメタル（図示せず）が設けられ、 SiO_2 絶縁層7のコンタクトホール14に被着されたポリシリコン層（プラグ）8を介してシリコン基板側と接続されている。

【0049】また、上下の両電極23及び29はそれぞれ、電子線加熱方式の真空蒸着法によって50～300nm（例えば100nm）の膜厚に形成されてよい。

【0050】また、PZT薄膜20は、下部電極29上にゾルーゲル法で厚さ300nm程度に形成されている。例えば、PZT薄膜20は、 $\text{Pb}:\text{Zr}:\text{Ti}=1.1:0.5:0.5$ の組成で300nmの膜厚に形成されてよい。

【0051】こうしたPZTキャパシタCAPを有するFRAMのメモリセルにおいては、例えば P^- 型シリコン基板1の一主面には、フィールド酸化膜2で区画された素子領域が形成され、ここに、MOSTランジスタからなるトランスファゲートTRとキャパシタCAPとからなるメモリセルM-CELが設けられている。

【0052】トランスファゲートTRにおいては、例えば N^+ 型ドレイン領域3と N^+ 型ソース領域4が不純物拡散でそれぞれ形成され、これら両領域間にはゲート酸化膜5を介してワードライン6（WL）が設けられ、ドレイン領域3には SiO_2 等の絶縁層7、21、15のコンタクトホール16を介してビットライン24（BL）が接続されている。

【0053】次に、キャパシタCAP及びメモリセルM-CELの作製プロセスを図3～図14について説明する。

【0054】まず、図3のように、 P^- 型シリコン基板（ウエハ）1上に選択酸化法によりフィールド酸化膜2を形成し、熱酸化法によるゲート酸化膜5及び化学的気相成長法によるポリシリコンワードライン6（WL）を夫々形成し、更にAs等のN型不純物の熱拡散で N^+ 型ドレイン領域3とソース領域4をそれぞれ形成する。

【0055】次いで、図4のように、全面に化学的気相成長法で堆積させた SiO_2 絶縁層7に対し、ソース領域4上にフォトリソグラフィでコンタクトホール14を形成する。

【0056】次いで、図5のように、コンタクトホール14においてソース領域4に接触するようにポリシリコン層8を被着する。

【0057】次いで、図6のように、ポリシリコン層8をエッチバックし、コンタクトホール14にストレージノ

ードとして埋め込んで残す。

【0058】次いで、図7のように、Ti接着剤層及びTiN層からなるバリアメタル（図示せず）とPt層とからなるPt/TiN/Ti構造の下部電極材料層29Aを形成する。

【0059】次いで、図8のように、下部電極材料層29Aをエッチングでパターニングし、下部電極29を形成する。この下部電極29は、スパッタリング又は電子線加熱方式の蒸着法で厚さ100nmに形成している。

【0060】次いで、図9のように、CVDによって全面に酸化チタン膜（チタン酸化膜）21を堆積させる。この酸化チタン膜21は、PZTの構成元素を成分として SiO_2 膜（特に下地の SiO_2 膜7）とは反応しないものである。

【0061】次いで、図10のように、酸化チタン膜21を化学機械的研磨加工（CMP）によって研磨処理し、表面を平坦化すると共に、下部電極29の表面を露出させる。この結果、下部電極29は周囲のほぼ同一面をなす酸化チタン膜21内に埋め込まれた状態となる。

【0062】次いで、図11のように、下部電極29及び酸化チタン膜21を含む全面にスピンコート法又はディップコート法によって、PZT薄膜形成用のゾルーゲル原料溶液20Aを塗布する。

【0063】次いで、原料溶液20Aを塗布したウエハを所定の温度（100～300℃、例えば170℃）で例えば3分間加熱し、塗布した溶液の乾燥を行い、乾燥ゲル膜を形成し、更に480℃で処理して、原料溶液10Aを非晶質化する。

【0064】ゾルーゲル法の原料（PZT前駆体）溶液20Aは、 $\text{Pb}(\text{CH}_3\text{COO})_2 \cdot 3\text{H}_2\text{O}$ 、 $\text{Ti}[(\text{CH}_3)_2\text{CHO}]_4$ 、 $\text{Zr}[\text{CH}_3(\text{CH}_2)_2\text{CH}_2\text{O}]_4$ 及び $\text{NH}(\text{CH}_2\text{CH}_2\text{OH})_2$ の $\text{CH}_3\text{OC}_2\text{H}_4\text{OH}$ 溶液であってよく、これを塗布、乾燥する。この原料溶液（又は非晶質薄膜）の組成は、 Pb 過剰であって原子数比で $\text{Pb}:\text{Zr}:\text{Ti}=1.1:0.5:0.5$ であってよい。

【0065】次いで、上記の非晶質PZT薄膜を含酸素雰囲気中又は大気中で600℃以上で10分間、アニール（焼結）する。この焼結処理によってPZTは結晶化し、厚さ300nmのペロブスカイト構造のPZT強誘電体薄膜20になる。

【0066】こうしてPZT強誘電体薄膜20を全面に形成する際、非晶質PZTは下地の酸化チタン膜21と接しているので、十分に結晶化されることになり、また下部電極29との密着も良好である。

【0067】次いで、図12のように、スパッタリング法によって全面に上部電極材料層23Aを被着する。

【0068】次いで、図13のように、上部電極材料層23A及びPZT薄膜20を一体にほぼ同一パターンに重ねてエッチングし、上部電極23とこれと同一パターンのPZ

T薄膜20とを形成する。

【0069】こうしてPZTキャパシタCAPを作製した後、図14のように、層間絶縁膜15をCVDで形成し、これにコンタクトホール16を形成し、更に図1に示したように、ビットライン24(BL)を形成し、図1に示した如きメモリセルM-CELを作製する。

【0070】上記したプロセスとこのプロセスで作製されたキャパシタCAP及びメモリセルM-CELによれば、下部電極29を酸化チタン(下地)膜21内に埋め込み、この酸化チタン膜21上に SiO_2 膜7とは接しない状態でPZT薄膜20を形成しているの、酸化チタン膜21が下部電極29の側面を接して覆うことになり、PZT薄膜20を下部電極29とは別個に上部電極23と同一パターンにエッチングしても両電極23-29間の分離が可能となる。

【0071】従って、第1の効果として、キャパシタCAPの作製において、必要なパターンニング工程は2回(図8、図13)で済むことになり、従来の工程に比べてパターンニングの回数を減らすことができる。

【0072】下地の酸化チタン膜21上に形成したPZT薄膜20について、図15にそのX線回折(XRD)スペクトルを示すが、PZT特有のスペクトルが見られるため、PZTがペロブスカイト構造の結晶として成長していることが明らかである。また、アニーリング後でもPZT薄膜20の膜剥がれは生じていないことも確認されている。

【0073】従来は、PZTをゾルーゲル法で形成した場合に、白金上ではペロブスカイト相の結晶化が十分に進行するが、シリコン酸化膜上では結晶化しないという問題があった。しかし、シリコン酸化膜は層間の絶縁膜として汎用されているので、PZTのゾルーゲル法による形成では使用できる工程が制限され、従って、既述したように、まず下部電極となる白金を全面に堆積し、その上にPZTをゾルーゲル法で形成して、白金とPZTを一体でエッチングし、パターンニングする。

【0074】これに対し、本実施例では、PZTの結晶化が白金上だけでなく、酸化チタン上でも十分に進行することを見出し、酸化チタン21をPZT20のゾルーゲル法による形成の下地膜に用いたことが著しい特徴点である。

【0075】図25～図31に示したように、酸化チタン11をキャパシタの絶縁膜でなく、層間の絶縁膜に用いる方法は既に発表されているが、それは、下部電極9及び強誘電体10のデポジション、パターンニングの後に酸化チタン11をデポジションするものである。これに対し、本実施例では、強誘電体20のデポジションの前に酸化チタン21をデポジションすることが大きく異なっている。

【0076】また、第2の効果として、PZT薄膜20は下部電極29上において下部電極29よりも広い面積に設けられ、かつ上部電極23とはほぼ同一面積となっているか

ら、キャパシタとして働く強誘電体20の面積が下部電極29の面積で決まっていた、従来のものよりも電極面積(従って、蓄積容量)を大きく取れる。

【0077】更に、第3の効果として、強誘電体20の側壁を通じての上下電極23-29間の漏れ電流は、上記の酸化チタン膜21の存在によって生じることはない。即ち、下部電極29はその周囲が絶縁性の酸化チタン膜21で、またその上面は強誘電体20によって完全に覆われているからである。

【0078】図16～図19は、本発明の第2の実施例による高誘電体キャパシタを有するDRAM(Dynamic Random Access Memory)のメモリセルの作製プロセスを示すものである。

【0079】本実施例によれば、上述した第1の実施例における図9までの工程は同様に行うが、それ以降の工程として、まず図16に示すように、酸化チタン膜21を例えば異方性のプラズマ・ドライエッチングによってエッチバックし、ほぼ同一面をなすように下部電極29を露出させる。

【0080】この時点では、酸化チタン膜21の表面は、下地の SiO_2 膜7の表面形状に対応してその凹凸がそのまま追従した形状をなしている。つまり、酸化チタン膜21の表面は、図10に示したものと異なって平坦ではない。

【0081】次いで、図17のように、PZTと同様のペロブスカイト型酸化物であるBST($(\text{Sr}, \text{Ba})\text{TiO}_3$)高誘電体薄膜30Aをスパッタリング法によって厚さ300nm程度で全面に堆積させる。これによって、上述した第1の実施例のようにPZT薄膜をゾルーゲル法で形成する方法とは異なり、スパッタで堆積したBST高誘電体薄膜30Aは、その下地である酸化チタン膜21に上記した表面凹凸(又は段差)があっても、一様な膜厚で堆積する。

【0082】これに対し、ゾルーゲル法による場合は、下地の酸化チタン膜21の表面を平坦化(図10参照)しておくことが望ましい。即ち、ゾルーゲル溶液を段差のある構造の上にスピン塗布すると、膜厚にむらが生じるからである。しかし、本実施例によるスパッタリングデポジションでは、段差のある構造の上にデポジションを行っても、膜厚を一樣にすることが比較的容易であり、下地の平坦化は必要なく、図10で述べた如きCMPは不要である。

【0083】但し、図9に示した酸化チタン21のデポジションによって下部電極29が覆い隠されてしまうので、下部電極29を露出させるための処理が必要である。そのためには、上述したエッチバックの如き酸化チタン21のエッチング(パターンニング)を行えば十分である。なお、酸化チタン21を上述したCMPで平坦化処理することとは何ら差し支えない。

【0084】次いで、図18のように、スパッタリング法

によって全面に上部電極材料層23Aを被着する。

【0085】次いで、図19のように、上部電極材料層23A及びBST薄膜30Aを一体にほぼ同一パターンに重ねてエッチングし、上部電極23とこれと同一パターンのBST高誘電体薄膜30とを形成する。

【0086】こうしてBSTキャパシタCAP'を作製した後、図14と同様に、層間絶縁膜15をCVDで形成し、これにコンタクトホール16を形成し、更に図1に示したと同様に、ビットライン24(BL)を形成し、図1に示したと同様のメモリセルを作製する。

【0087】上記したプロセスとこのプロセスで作製されたキャパシタCAP'及びメモリセルによれば、上述した第1の実施例で述べたと同様の優れた効果が得られることは明らかである。

【0088】そして、これに加えて、上記した酸化チタン膜21の平坦化処理を省略できると共に、次に述べるように酸化チタン膜21のバリヤ作用も発揮させることができる。

【0089】上述した第1の実施例では、強誘電体のゾルゲル法による形成において、結晶化の度合いが下地の膜の材質によることに起因する問題を解決した。これに対し、本実施例のように、例えば、PZTと同じペロブスカイト型の酸化物であるBSTのスパッタリング成膜においては、BSTは下部電極の白金上だけでなくシリコン酸化膜上でも結晶化する。従って、上述した第1の実施例で問題となった下地による結晶化への影響は存在しない。

【0090】しかし、これらペロブスカイト型の強誘電体や高誘電体では、鉛、バリウム或いはストロンチウムなどの金属元素のトランジスタゲートへの拡散を防がなければならないという共通の問題が存在する。酸化チタンは鉛、バリウム或いはストロンチウムと反応し、PZTのみならずBSTを形成した場合も、鉛、バリウム或いはストロンチウムの拡散を防ぐことができる。このため、本実施例では、酸化チタンからなる下地膜21は、BST30を構成するバリウムやストロンチウムを拡散防止し、トランジスタゲートへの拡散を十二分に防ぐという効果を有している。

【0091】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基いて更に変形が可能である。

【0092】例えば、上述した酸化チタン膜21に代えて、同等の機能をなす他の絶縁膜を設けてもよい。こうした絶縁膜としては、強誘電体がPZTの場合は酸化ジルコニウム膜でもよく、強誘電体がBSTの場合は酸化バリウム膜や酸化ストロンチウム膜であってもよい。このような絶縁膜は(酸化チタン膜も含めて)、その上に形成する強誘電体膜の構成元素を含有し、強誘電体の結晶化の妨げとはならず、かつ酸化シリコンと反応しないことが必要である。

【0093】また、使用可能な強誘電体膜又は高誘電体膜の材質は、上記のPZT、BST以外にも、PZTにNb、Zr、Fe等を添加したPZT、PLT($(Pb, La)_x(Ti, Zr)_{1-x}O_3$)、PTO($(Pb)_x(Ti)_{1-x}O_3$)、BTO($(Ba)_x(Ti)_{1-x}O_3$)、STO($(Sr)_x(Ti)_{1-x}O_3$)等であってよい。

【0094】PZT、BST等の強誘電体又は高誘電体薄膜の形成方法として、ゾルゲル法、スパッタ法以外にも、CVD法、レーザアブレーション法等が挙げられる。

【0095】電極材料としては、下部電極及び上部電極はPt以外にも、Ir、Pd、Ru、W、Ti、Cr、Niの如き材料が代替可能である。これらの金属は、単独又は複数種使用してよいし、或いは他の金属と混合してもよい。

【0096】本発明は、例えば図1に示したPt/PZT/Pt/バリヤ層/ポリ-Si構造のキャパシタ(スタック型キャパシタ)を有するデバイスに適用可能であるが、これに限らず、SiO₂膜上に上述のスタック型キャパシタを設けてこのキャパシタの下部電極を延設してトランスファゲートのソース領域と接続する構造としてよいし、或いはスタック型ではなく、いわゆるトレンチ(溝)内にキャパシタを組み込んだ構造のキャパシタにも適用可能である。また、FRAM以外の用途にも適用できる。また、COB(Cell over Bitline)タイプのメモリセルにも適用できる。

【0097】

【発明の作用効果】本発明の誘電体キャパシタによれば、上述した如く、第1の電極と、この第1の電極上の誘電体膜とこの誘電体膜上の第2の電極とを有し、前記第1の電極の周囲に接して設けられた絶縁膜を介してこの上に、前記誘電体膜と前記第2の電極とがほぼ同一パターンに積層されており、また、この誘電体キャパシタを製造する方法として、前記第1の電極の表面及び前記絶縁膜の表面に誘電体膜材料層と電極材料層とをこの順に積層し、これらの電極材料層と誘電体膜材料層とをほぼ同一パターンに加工して前記第2の電極と前記誘電体膜とを形成しているので、前記第1の電極の周囲に接して前記絶縁膜を形成し、この絶縁膜によって前記第1の電極の側面を覆うことになり、前記誘電体膜を前記第1の電極とは別個に前記第2の電極と同一パターンに加工しても、前記第1及び第2の電極間の分離が可能となる。従って、主として次の3つの顕著な効果を奏することができる。

【0098】即ち、第1の効果として、キャパシタの作製において、必要なパターニング工程は2回(前記第1の電極のパターニングと前記誘電体膜及び前記第2の電極のパターニング)で済むことになり、従来の工程に比べてパターニングの回数を減らすことができる。

【0099】また、第2の効果として、前記誘電体膜は前記第1の電極上において、この第1の電極よりも広い面積に設けられ、かつ前記第2の電極とはほぼ同一面積となっているから、キャパシタとして働く誘電体の面積が前記第1の電極の面積で決まってい、従来のものよりも電極面積（従って、蓄積容量）を大きく取れる。

【0100】更に、第3の効果として、誘電体の側壁を通じての前記第1及び第2の電極間の漏れ電流は前記絶縁膜の存在によって生じることはない。即ち、前記第1の電極はその周囲が前記絶縁膜で、またその上面は前記誘電体膜によって完全に覆われているからである。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるPZTキャパシタを組み込んだ半導体デバイス（FRAM）のメモリセルの断面図（図2のI-I線断面図）である。

【図2】同メモリセルの平面図である。

【図3】同メモリセルの製造方法の一工程段階を示す断面図である。

【図4】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図5】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図6】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図7】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図8】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図9】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図10】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図11】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図12】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図13】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図14】同メモリセルの製造方法の更に他の一工程段階を示す断面図である。

【図15】同PZTキャパシタのPZT薄膜のX線回折スペクトル図である。

【図16】本発明の第2の実施例によるBSTキャパシタを組み込んだ半導体デバイス（DRAM）のメモリセルの製造方法の一工程段階を示す断面図である。

【図17】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図18】同メモリセルの製造方法の他の一工程段階を示す断面図である。

す断面図である。

【図19】同メモリセルの製造方法の更に他の一工程段階を示す断面図である。

【図20】従来例によるPZTキャパシタを組み込んだ半導体デバイス（FRAM）のメモリセルの断面図である。

【図21】他の従来例によるPZTキャパシタを組み込んだ半導体デバイス（FRAM）の断面図である。

【図22】図20のメモリセルの製造方法の一工程段階を示す断面図である。

【図23】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図24】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図25】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図26】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図27】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図28】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図29】同メモリセルの製造方法の他の一工程段階を示す断面図である。

【図30】同メモリセルの製造方法の他の一工程段階を示す断面図である。

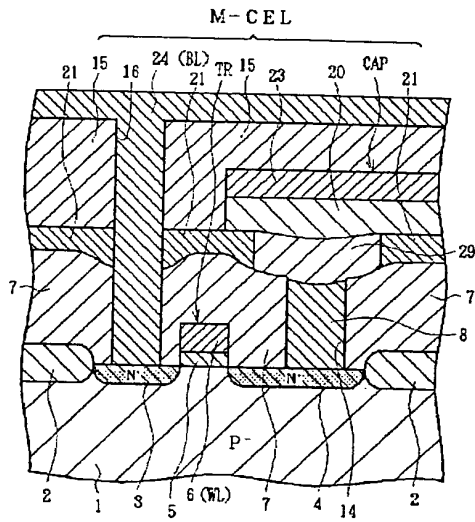
【図31】同メモリセルの製造方法の更に他の一工程段階を示す断面図である。

【図32】同PZTキャパシタのPZT薄膜のX線回折スペクトル図である。

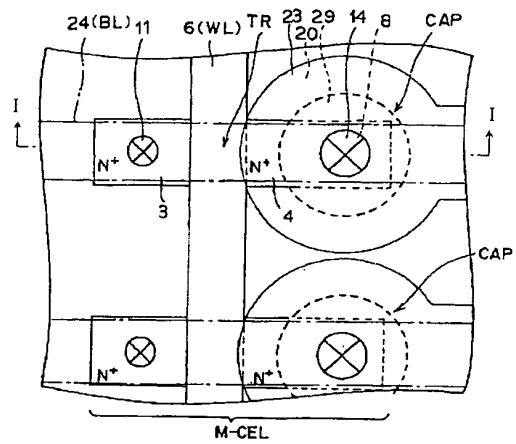
【符号の説明】

- 1・・・シリコン基板
- 3・・・N⁺型ドレイン領域
- 4・・・N⁺型ソース領域
- 6(WL)・・・ワードライン
- 7、12、15・・・シリコン酸化膜
- 8・・・ポリシリコン層
- 9、29・・・下部電極
- 10、20、30・・・誘電体膜（PZT薄膜又はBST薄膜）
- 11、21・・・酸化チタン膜
- 13、23・・・上部電極
- 24(BL)・・・ビットライン
- CAP、CAP'、cap、cap'・・・誘電体キャパシタ
- M-CEL、M-cel、M-cel'・・・メモリセル
- TR・・・トランスファゲート

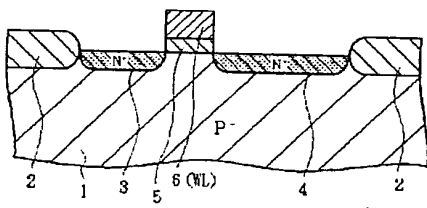
【図1】



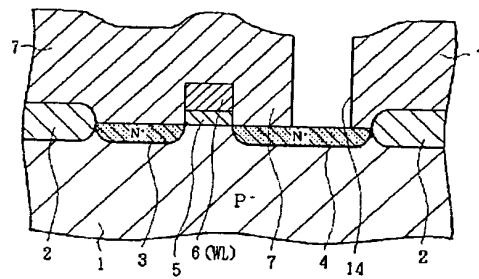
【図2】



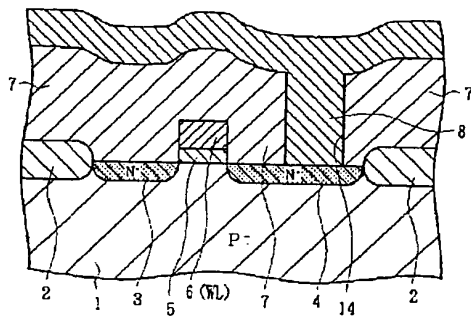
【図3】



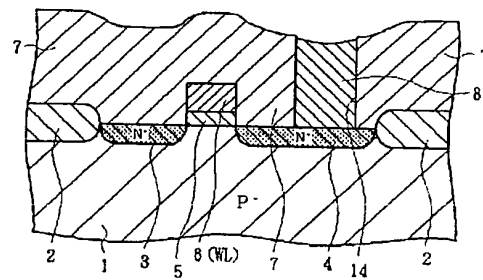
【図4】



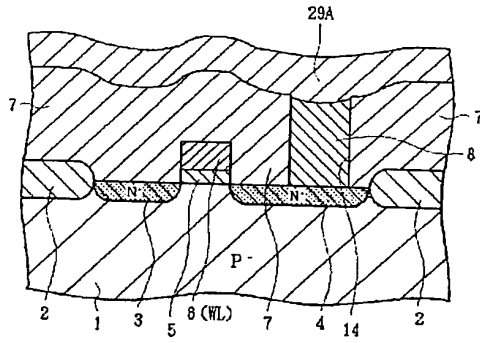
【図5】



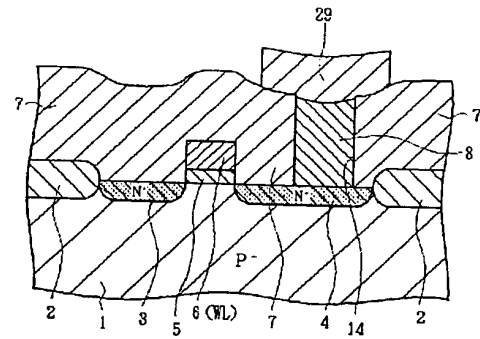
【図6】



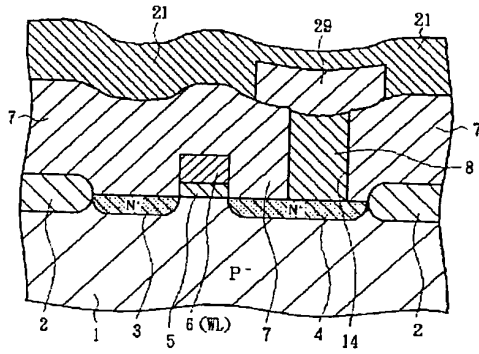
【図7】



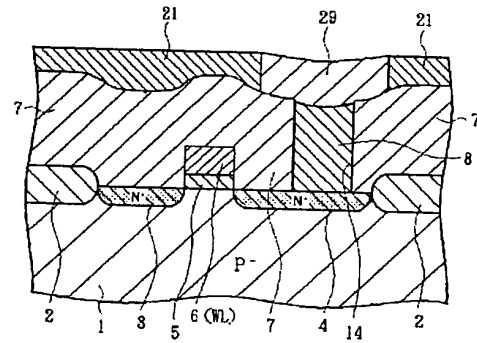
【図8】



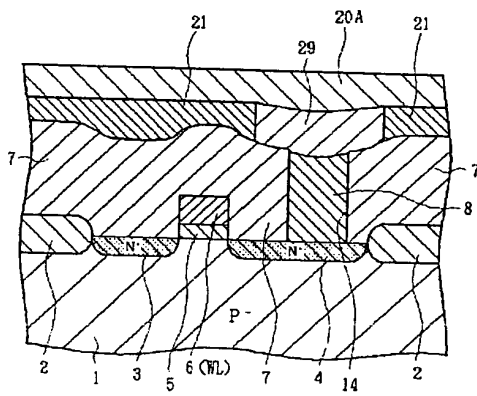
【図9】



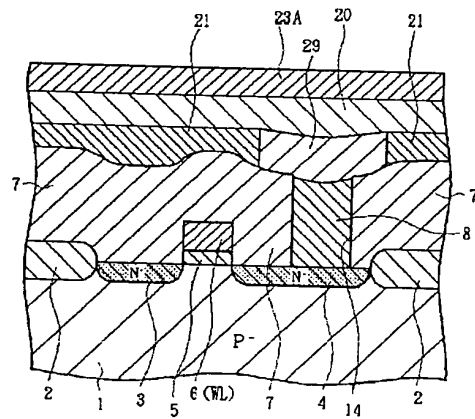
【図10】



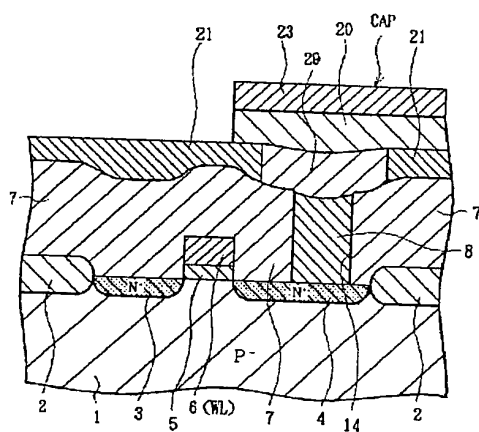
【図11】



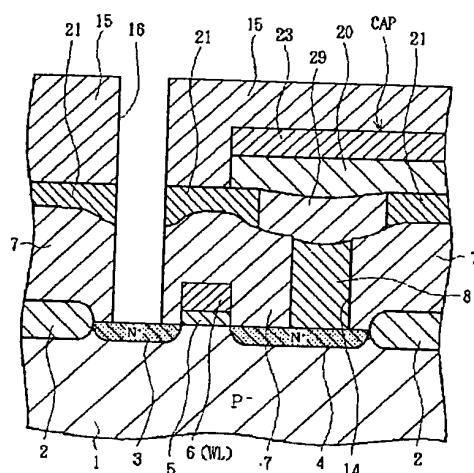
【図12】



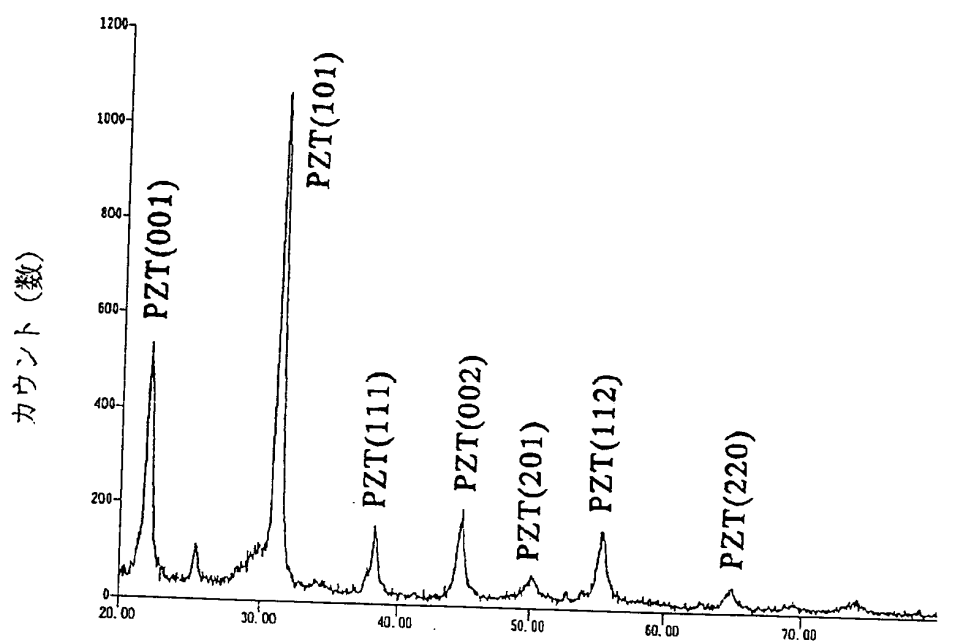
【図13】



【図14】

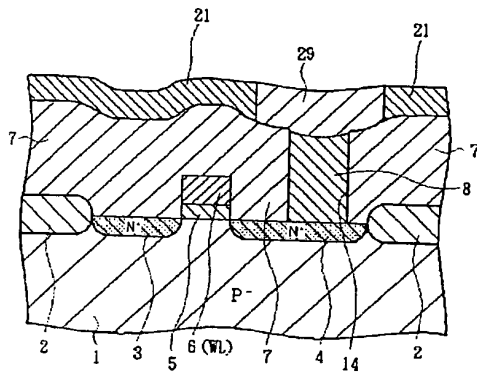


【図15】

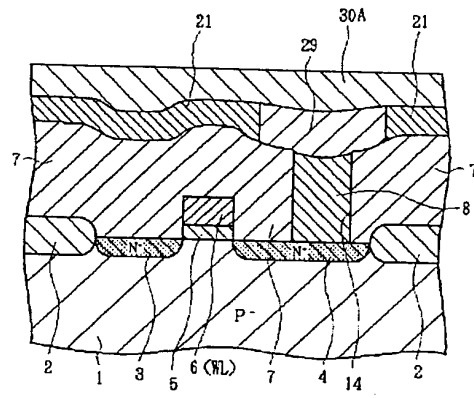


酸化チタン上にゾルゲル法で形成したPZTのXRDスペクトル

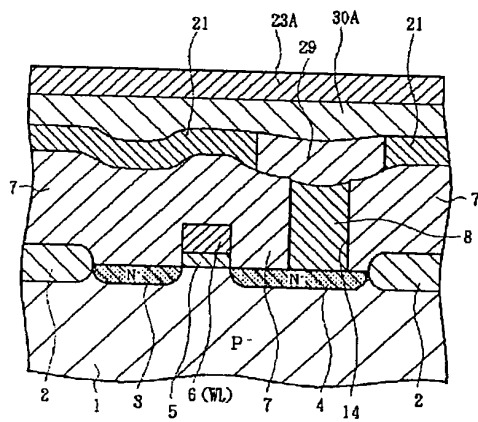
【図16】



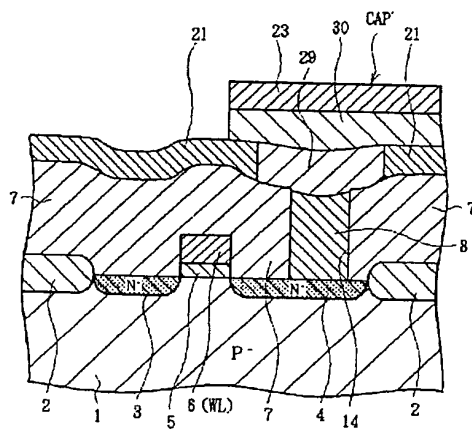
【図17】



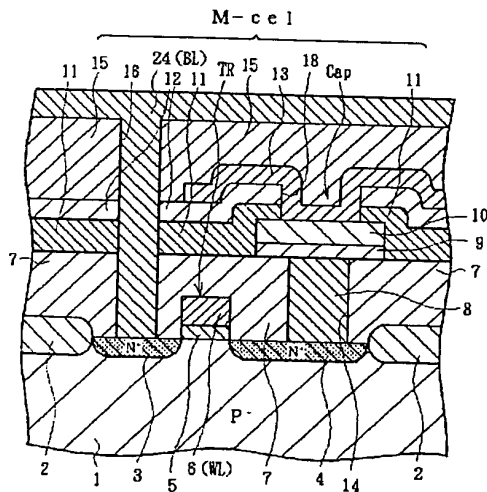
【図18】



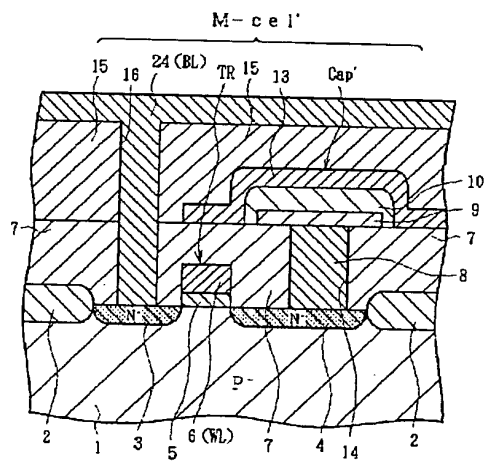
【図19】



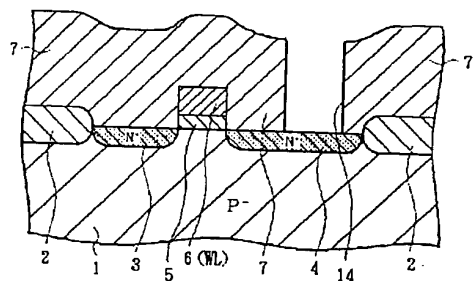
【図20】



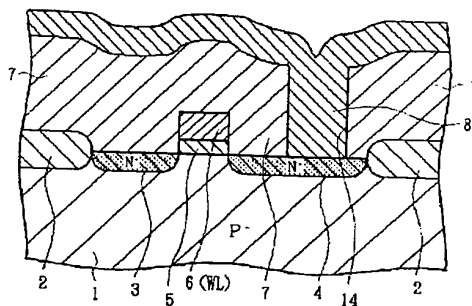
【図21】



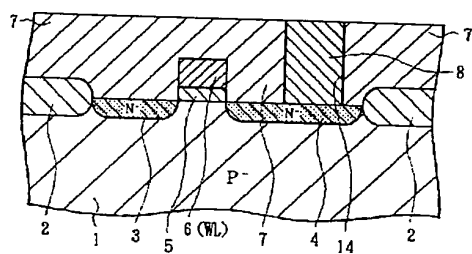
【図22】



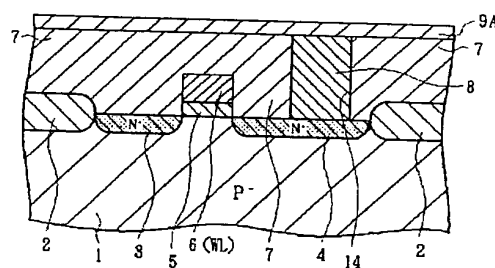
【図23】



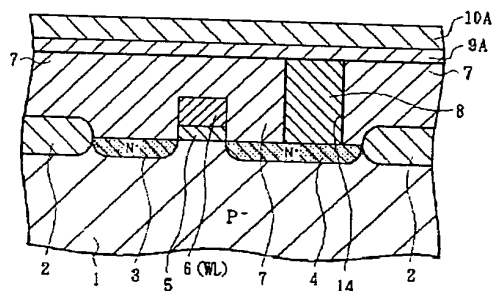
【図24】



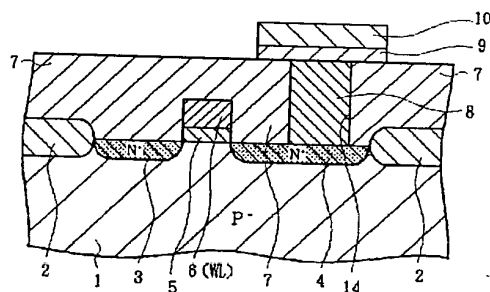
【図25】



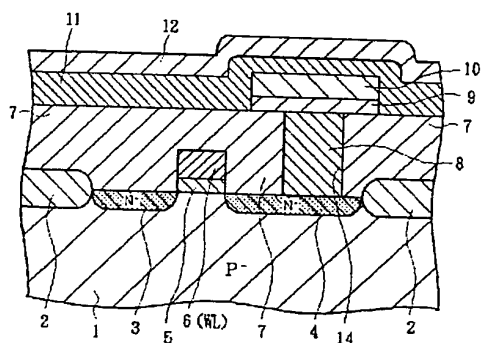
【図26】



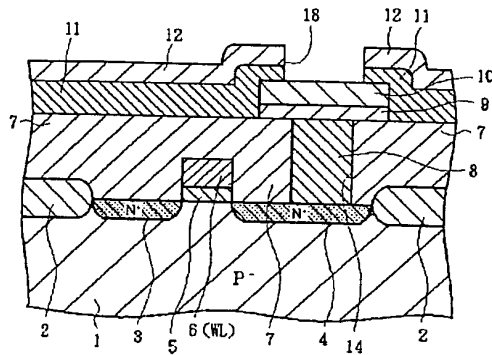
【図27】



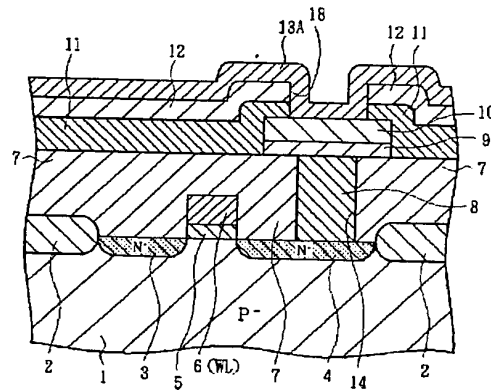
【図28】



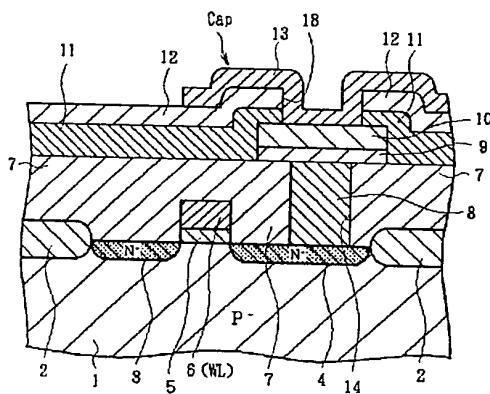
【図29】



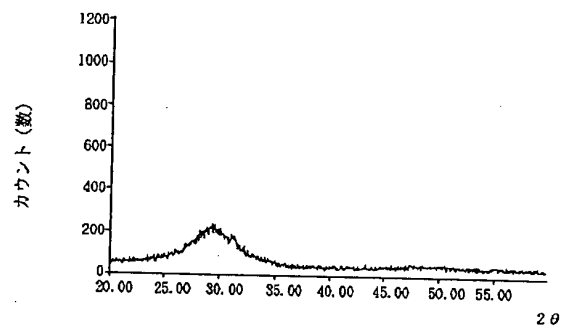
【図30】



【図31】



【図32】



シリコン酸化膜上にゾルゲル法で形成したPZTのXRDスペクトル

フロントページの続き

(51)Int. Cl.⁶

H01L 29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 福田 幸夫

茨城県稲敷郡美浦村木原2355番地 日本テ
キサス・インスツルメンツ株式会社内

(72)発明者 西村 明俊

茨城県稲敷郡美浦村木原2355番地 日本テ
キサス・インスツルメンツ株式会社内